

文章编号:1671-251X(2014)03-0049-04 DOI:
陈丽. 传输线信号完整性的反射分析[J]. 工矿自动化, 2014, 40(3): 49-52.

传输线信号完整性的反射分析

陈丽

(中国矿业大学(北京)机电与信息工程学院, 北京 100083)

摘要:针对高速电路系统的传输线信号完整性问题,通过对高速电路PCB上传输线等效电路的分析,给出了信号传输时产生反射现象的原因;介绍了常用的消除反射的方法,即选择均匀传输线、采用合适的拓扑结构布线和阻抗匹配法,指出阻抗匹配法可解决信号传输的反射现象;阐述了源端阻抗匹配法和负载端阻抗匹配法消除反射的原理和适用条件。针对时钟电路中的反射问题,采用PADS/Hyperlynx软件对阻抗匹配法进行仿真,结果表明,阻抗匹配法能够改善信号传输的反射现象。

关键词:传输线;信号完整性;反射;阻抗匹配

中图分类号:TD67 文献标志码:A 网络出版时间:

网络出版地址:

Analysis of reflection of signal integrity of transmission line

CHEN Li

(School of Mechanical Electronic and Information Engineering, China University of
Mining and Technology (Beijing), Beijing 100083, China)

Abstract:In view of problem of signal integrity of transmission line in high-speed circuit system, the paper gave reasons of reflection phenomenon produced in signal transmission through analysis for equivalent circuit of transmission line on PCB of high-speed circuit. It introduced common methods of eliminating the reflection, namely selecting uniform transmission line, using proper topology of wiring and impedance matching method, and indicated that the impedance matching method can solve the reflection phenomenon in signal transmission, and expounded principles of eliminating the reflection and applicable condition of impedance matching method of source-end and impedance matching method of load-end. In view of reflection problem in clock circuit, the paper used PADS/Hyperlynx software to make simulation for the impedance matching method, the result shows that the impedance matching method can improve the reflection phenomenon in signal transmission.

Key words:transmission line; signal integrity; reflection; impedance matching

0 引言

随着集成电路规模的增大、布局布线密度的增高及时钟频率的提高,使得信号边缘速率越来越快^[1],因此,正确处理高速信号的问题非常关键。工程师在设计高速PCB(Printed Circuit Board)时发现,如果缺乏对信号完整性的周密考虑,即便逻辑功

能正确无误的电路在调试时也会出现不能正常工作的情形。传输线信号完整性问题主要包括反射、阻抗振荡、电磁干扰、串扰、开关噪声等。

关于信号完整性的研究已有一些成果,如参考文献[2]研究了差分对信号完整性的分析,从阻抗控制的角度分析了差分传输线阻抗变化对信号质量的影响。参考文献[3]通过对高速高精度数据采集系

收稿日期:2013-08-02;修回日期:2013-12-17;责任编辑:王晖。

基金项目:国家自然科学基金资助项目(U1261125)。

作者简介:陈丽(1988—),女,江苏扬中人,硕士研究生,研究方向为电磁场理论与应用、高速电路信号完整性,E-mail:chenli1511@126.com。

统的分析,研究引起高速电路信号完整性设计中时序错误和串扰形成的原因。参考文献[4]分析了微波信号传输时所产生的信号完整性问题的原因及解决方法,重点对串扰和畸变问题进行研究。

基于以上研究成果,本文主要对信号完整性问题中的反射部分进行研究,分析了解决反射问题的几种阻抗匹配方法,并结合实际设计中的时钟电路模块对几种阻抗匹配方法进行仿真验证。

1 信号完整性

信号完整性是指在高速电路中由物理连线所引起的信号传输质量问题,是一种电磁现象。如果在电路系统要求的时间内,信号从源端传导至接收端时不出现失真,且对其他信号不产生影响,则此信号就符合信号完整性的要求。在低速电路系统中,信号因为有充裕的时间等待可能发生的误触发事件趋于正常,所以没有造成信号传送产生严重失真的后果;在高速电路系统中,由于可能没有足够的时间使信号在可能导致误触发前稳定下来^[5],就会产生传输线的完整性问题,传输线的电气性能对信号的数字波形会造成很大影响。

本文重点对高速电路系统中单一网络的信号完整性问题进行研究。当驱动端输出信号时,此时构成信号的电压和电流将传输线看成一个阻抗网络。信号沿网络传播时,将不断感受到传输线引起的瞬态阻抗突变,此时在突变处信号便会产生反射失真。

2 传输线模型

在高速电路系统中,传输线通常是制备在 PCB 上或者多芯片模块里,在这些多芯片模块里一般都有内嵌的导线或者附着在电介质上的多条电源线/地线。数字电路设计中最常用的 2 种传输线是微带线和带状线^[6]。

图 1 为一个 PCB 的传输线及其对应的电源/地平面的横截面示意,图中显示了分布于 PCB 板上各元件之间的导线(信号线/地线/电源线),其中信号线包括布于层内的带状线和布于层外的微带线。

高频信号在高速电路传输线上传播时,是以电磁波的速度传播的,导致信号线上各点的电流(或电压)的大小和相位各不相同,从而便显示出不同的分布效应。因此,必须对传输线做分布参数处理。传输线上的信号不但与其所处的位置(p)有关,而且还是时间(t)的函数。取一小段等效电路进行分析,如图 2 所示, R, L, C, G 分别为电阻、电感、电容和

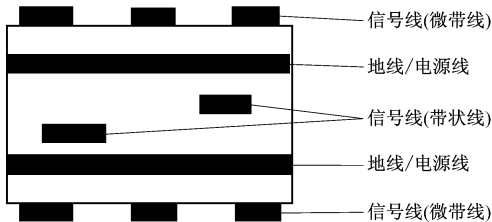


图 1 一个 PCB 的传输线及其对应的电源/地平面的横截面示意

电导,大小都是单位长度; $u(p, t)$ 和 $i(p, t)$ 分别表示在 p 处的瞬时电压与瞬时电流; $u(p + \Delta p, t)$ 和 $i(p + \Delta p, t)$ 分别表示在 $(p + \Delta p)$ 处的瞬时电压与瞬时电流。

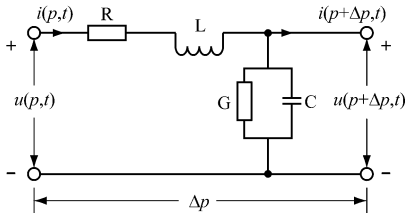


图 2 传输线上长度为 Δp 的等效电路

一般情形下,信号在传输线中的损耗相对较小,在研究信号完整性问题时,设定 R, G 均为 0,损耗可以忽略不计。当 $\Delta p \rightarrow 0$ 时,传输线上的特性阻抗为 $Z_0 = \sqrt{L/C}$,即传输线的特性阻抗只取决于连线的单位分布电感和单位分布电容。

3 反射与反射解决方案

3.1 反射的形成

信号沿传输线传播时受到的瞬间阻抗大小不一,在阻抗突变处产生的沿导线逆向传输的回波即为传输线的反射。当负载端阻抗与源端阻抗不匹配时,一部分信号功率(主要是电压和电流)就会从负载端反射回到源端。如果阻抗匹配即源端阻抗、传输线阻抗与负载端阻抗相等,就不会产生反射。瞬间阻抗变化量的大小决定着反射信号的大小。如图 3 所示,传输线 L_1 的瞬态阻抗值为 Z_1 ,传输线 L_2 的瞬态阻抗值为 Z_2 ,入射电压波 U_{in} 沿 L_2 传输至 L_1 ,在突变界面处产生反射电压波 U_{re} 和透射电压波 U_t ,则反射系数为 $\Gamma = \frac{U_{re}}{U_{in}} = \frac{Z_1 - Z_2}{Z_1 + Z_2}$ 。

Z_1 和 Z_2 相差越大,反射的电压回波也相应增大,信号失真度也随之增强。例如 20 V 的信号沿特性阻抗为 100 Ω 的传输线传播,当传播到特性阻抗为 50 Ω 的传输线时,反射系数为 $\Gamma = \frac{100 - 50}{100 + 50} = 0.33$,则反射电压为 $0.33 \times 20 \text{ V} = 6.6 \text{ V}$ 。此时无

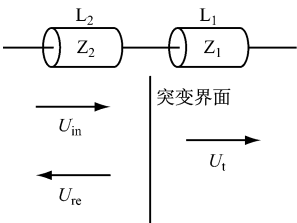


图3 传输线中的入射、反射和透射电压波方向

论电压波是什么波形,只要遇到分界面,均有 6.6 V 的电压反射回去,在接收端接收到的信号为失真的电压信号。所以在实际设计中应尽量使反射系数趋于零。

3.2 反射的解决方案

反射是由阻抗突变产生的,解决反射的主要理论依据就是让传输线中的各段阻抗保持匹配^[7],通常有以下3种解决方法:

(1) PCB 中选择均匀传输线设计。缩短 PCB 的走线长度可使反射瞬间达到稳定状态,但增加设计成本且在高密度的复杂系统中缩短走线长度很难实现。

(2) 采用合适的拓扑结构布线。根据工程实践经验,选择优良拓扑结构是信号完整性的基础。PCB 布线中的拓扑结构主要分为4种基本类型^[8]: 点到点结构、菊花链结构、星型结构、远端簇结构。根据实际情况选择合适的布线拓扑结构,这对工程实践具有一定的指导意义。

(3) 阻抗匹配消除反射。源端阻抗匹配和负载端阻抗匹配是2种主要的端接形式,是根据阻抗匹配的不同位置命名的。高速 PCB 时钟电路中常采用阻抗匹配的方法来解决反射问题。源端和负载端阻抗匹配有不同的适用情况。

3.2.1 源端阻抗匹配

源端阻抗匹配因其可以在源端串联1个电阻来匹配信号源的阻抗而得名,又称为串联匹配。该匹配方式使得从负载端逆向回来的信号不能从源端再次反射到负载端,将源反射系数降为零。因此,在传输过程中信号在负载端接收到的失真很小。

源端阻抗匹配主要优点:每条传输线只需要串联1个电阻,不但能减少噪声,同时也起到限流作用,而且因其直接连接直流电源,也就不会消耗太多的电能。其缺点:一方面,实际电路中硅制造工艺变量、温度、电压等因素影响缓冲器的输出阻抗,不易获得好的匹配;另一方面,由于信号通路上接入了元器件^[9],导致时间常数增加,从而减少了负载端信号的上升时间,因此,源端阻抗匹配不适用于高频信号

通路。

3.2.2 负载端阻抗匹配

负载端阻抗匹配是指负载端阻抗与传输线阻抗相等,负载端在信号能量反射回源端之前便消除反射,这样可以减少噪声、电磁干扰及射频干扰等。负载端阻抗匹配是一种常用的匹配方式^[10],其主要有以下几种端接形式:

(1) 并行端接。并行端接是在负载端附近添加一个下拉电阻 $R_L = Z_0$,如图4(a)所示。并行端接简单易行,但是驱动电流大、直流功率消耗大,在TTL (Transistor-Transistor Logic) 和 CMOS (Complementary Metal Oxide Semiconductor) 电路设计中不能采用该匹配方式。

(2) 并行 RC 网络端接。在负载端接一个并联电阻 R 和隔离电容 C 就是并行 RC 网络端接,又称为交流端接,如图4(b)所示。该端接形式要求 $R = Z_0$,RC 网络的时间常数应至少2倍于传播延时,这样可以降低或消除反射。并行 RC 网络端接的优点:电容隔离了传输路径上的直流通路从而减少功耗。其缺点:RC 网络的时间常数会导致信号速率下降。

(3) 分压器型端接。分压器型端接又称为戴维宁端接,主要采用上拉电阻 R_a (接电源端)和下拉电阻 R_b (接地)来构成端接电阻 R_d ($R_d = \frac{R_a R_b}{R_a + R_b}$)^[11],如图4(c)所示。电路中的反射波能够被分压端接的2个并联电阻全部吸收,从而消除了反射。但是由电源与地之间的端接电阻产生的直流电流总会一直存在,从而使得电路的功耗增加;同时,该端接形式需添加2个元件,在布线密度大的电路板上难以实现。

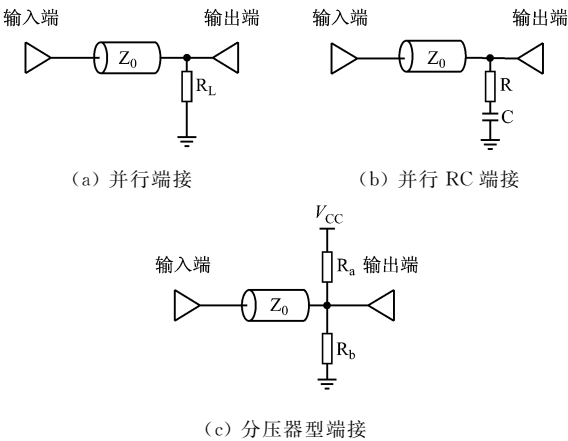


图4 负载端阻抗匹配端接方式

4 仿真分析

由上述理论分析可知源端阻抗匹配和负载端阻抗匹配的方法均能有效地解决传输线的反射现象,因此,在电路设计中应针对不同的情况选择最优匹配方法来保证信号的完整性。由于时钟信号的质量对电路信号传输起决定作用,所以仿真电路采取在负载端添加并行 RC 网络的阻抗匹配方法,改善时钟信号出现的反射问题。

仿真环境为 PADS 9.3.1/Hyperlynx 8.1.1。时钟电路的基本模型采用 Cyclone III 系列 FPGA (Field-Programmable Gate Array) 芯片 EP3C40F32417,时钟频率为 128 MHz。晶体振荡器通过倍频器 PLL (Phase Locked Loop) 产生 128 MHz 时钟信号,采用电平转换芯片 SN74LV2T45DCTT 进行电平转换后,输入至 FPGA 中,如图 5 所示。



图 5 时钟电路模型

仿真参数:顶层微带传输线特性阻抗为 $80\ \Omega$,电介质介电常数为 4.3 F/mm,线长为 76 mm,线宽为 0.15 mm。源端驱动器为 3.3 V 的 CMOS 逻辑电平的 IBIS 模型,接收端为 74LV 系列 IBIS 模型,驱动器的上升沿速率为 1 ns,驱动信号为 128 MHz 的方波。

图 6 为未加端接的时钟电路信号反射波形,此时电路产生了严重的过冲和下冲现象,信号在传输过程中有很大程度的失真,电路无法按预定设计正常工作。图 7 为在负载端加并行 RC 网络后的时钟电路信号反射波形,可以看出此时电路信号明显改善,反射现象减少。因此,并行 RC 网络匹配电路能够有效改善时钟电路的反射现象。

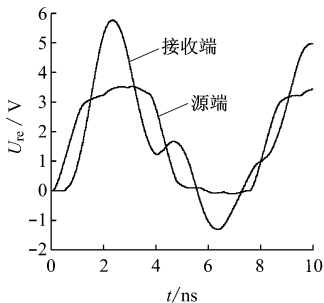


图 6 未加端接的时钟电路信号反射波形

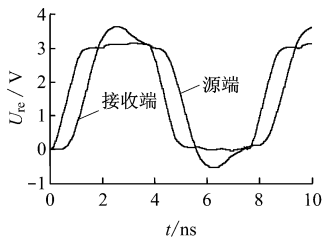


图 7 加端接的时钟电路信号反射波形

5 结语

分析了传输线信号完整性问题中反射现象产生的原因,指出阻抗匹配方法能够解决反射问题,详细介绍了源端阻抗匹配法和负载端阻抗匹配法。在实际出现反射问题的时钟电路中,利用 PADS 9.3.1/Hyperlynx 8.1.1 软件对传输线的反射现象进行仿真,结果表明,利用阻抗匹配方法能够改善信号传输的反射现象。在实际电路设计中,应根据不同的情况选择最佳阻抗匹配电路,从而确保高速电路系统的正常工作。

参考文献:

- [1] BOGATIN E. 信号完整性分析[M]. 北京:电子工业出版社,2005.
- [2] 蔡国发,章杰,林培杰,等.差分对信号完整性的分析[J].电子测量技术,2012,35(1):38-40.
- [3] 黄菁,杜田.基于信号完整性分析的高速电路设计[J].仪表技术,2012(6):16-18.
- [4] 周喜权,金玉梅,惠鹏飞.微波传输线信号完整性分析与仿真[J].信息通信,2012(1):6-7.
- [5] 闫铁铮.高速 PCB 信号完整性分析及硬件系统设计中的应用[D].厦门:厦门大学,2009.
- [6] 张木水,李玉山.信号完整性分析与设计[M].北京:电子工业出版社,2010:15.
- [7] 李彦博,向新,凌立伟.透地通信系统天线小型化设计与测试[J].工矿自动化,2013,39(7):18-22.
- [8] 周路.高速电路信号完整性分析与设计[D].成都:电子科技大学,2011.
- [9] 邓集杰,刘铁根,褚备,等.高速视频处理系统的信号完整性分析[J].电子测量与仪器学报,2009,23(6):34-40.
- [10] 刘涛.CAN 总线接口电路设计中的关键问题[J].工矿自动化,2007,33(1):100-101.
- [11] 李朝辉.高速电路中的阻抗匹配与端接技术[J].微处理机,2007,6(3):100-104.